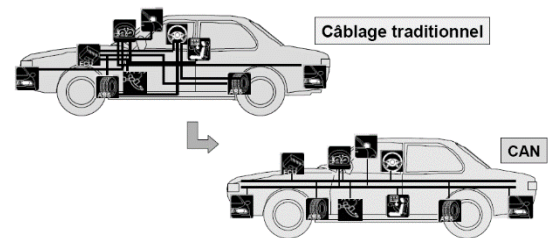


Fiche de cours LE BUS CAN

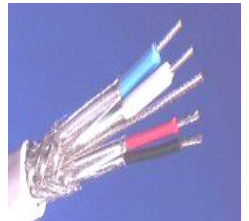
Le BUS CAN (Controller Area Network)

Le CAN a été lancé dans les années 1990 pour répondre aux besoins de l'industrie automobile devant la montée de l'électronique embarquée. En 2005 une voiture moyenne comportait une centaine de microcontrôleurs. Pour éviter les 2 km de câblage nécessaire il fallait définir un bus simplifiant l'intégration des fils dans le châssis.

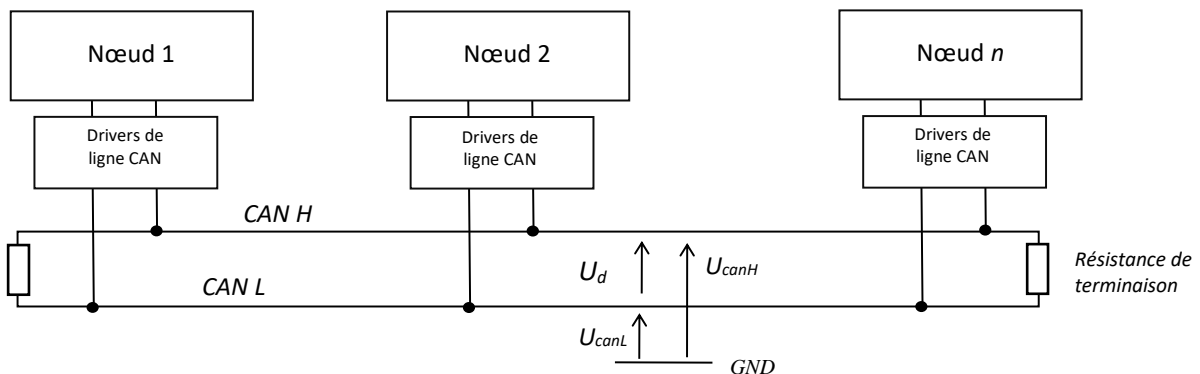


CONSTITUTION, CABLAGE

Le bus est constitué de 2 paires de fils comme pour la norme USB. Une première paire transporte l'alimentation électrique (comme pour l'USB) afin d'alimenter directement les appareils de faible consommation. La deuxième paire supporte les signaux de données appelés **CAN L** (CAN LOW) et **CAN H** (CAN HIGH). C'est la différence de tension entre CAN L et CAN H qui matérialise le niveau logique transmis. On appellera "**état dominant**" l'état logique 0, et "**état récessif**" l'état logique 1.



C'est un bus série multipoint bidirectionnel half-duplex. Chaque élément raccordé sur un bus constitue un nœud qui est identifié par une adresse logique unique appelée identificateur. Le protocole autorise chaque élément à démarrer la transmission d'une trame quand le bus est au repos.



Deux modes de fonctionnement possibles

| | CAN low speed | CAN high speed |
|-----------------------|--------------------------------|--|
| Débit max | 125 kb/s | 1 Mb/s |
| Niveau dominant « 0 » | CAN H = 4V CAN L = 1V | $2 \leq V_{CAN\ H} - V_{CAN\ L} \leq 3\ V$ |
| Niveau récessif « 1 » | CAN H = 1,75V CAN L = 3,25V | $V_{CAN\ H} - V_{CAN\ L} \# 0V$ |

La longueur maximale du bus est déterminée par la vitesse utilisée : 1000 kbit/s → 30 m maximum
125 kbit/s → 500 m

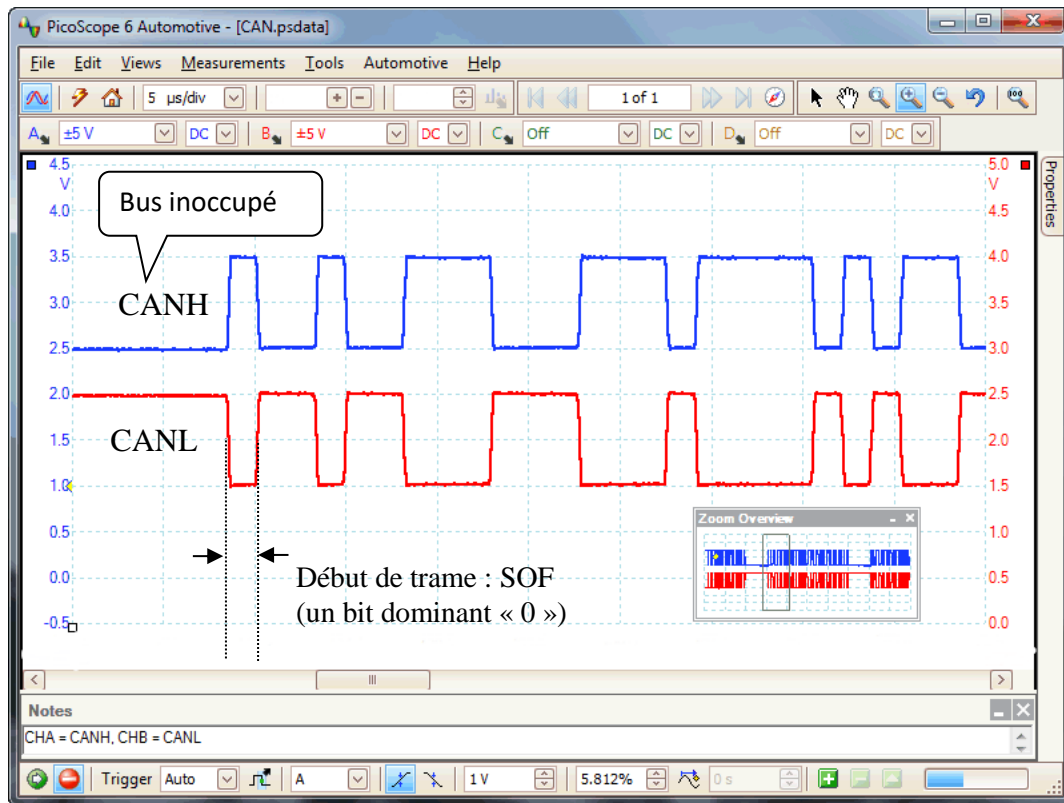
LA TRAME d'un BUS CAN

Une trame est composée d'au plus 128 bits utiles repartis sur les champs suivants :

| Start of Frame | Champ d'arbitrage | Champ de contrôle | Champ de données | Champ CRC | Champ d'acquiescement | End of Frame |
|----------------|-------------------|-------------------|------------------|-----------|-----------------------|------------------|
| 1 bit dominant | 29 bits + 3bits | 6 bits | 0 à 8 octets | 16 bits | 2 bits | 7 bits récessifs |

Remarque : Lors de la construction d'une trame, si 5 bits sont consécutivement au même état (0 ou 1), un bit supplémentaire (**Stuff bit**) d'état complémentaire est inséré dans la trame.

Exemple: 00000**1**0011111**0**11111**0**



→ Donne les tensions matérialisant les niveaux logiques. En déduire le mode de fonctionnement.

→ Mesurer la durée de transmission d'un bit, en déduire la vitesse de transmission du bus.